

1/5/1

DIALOG(R) File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

04284359 **Image available**
RECEIVER

PUB. NO.: 05-276059 [JP 5276059 A],
PUBLISHED: October 22, 1993 (19931022)
INVENTOR(s): NATORI MAKOTO
SUZUKI MITSUHIRO
APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 04-066300 [JP 9266300]
FILED: March 24, 1992 (19920324)
INTL CLASS: [5] H04B-001/10; H04B-003/06; H04L-027/01; H04L-027/22
JAPIO CLASS: 44.2 (COMMUNICATION -- Transmission Systems); 26.2
(TRANSPORTATION -- Motor Vehicles); 44.3 (COMMUNICATION --
Telegraphy); 44.4 (COMMUNICATION -- Telephone)
JOURNAL: Section: E, Section No. 1498, Vol. 18, No. 53, Pg. 131,
January 27, 1994 (19940127)

ABSTRACT

PURPOSE: To demodulate data in an excellent way even when delay dispersion is in existence or not in the reception data by controlling equalization at an equalizer depending on the result of discrimination by a circuit discriminating delay dispersion of reception data.

CONSTITUTION: When a delay dispersion discrimination circuit 3 discriminates it that a signal with delay dispersion obtained at an output terminal is received, equalization processing at an equalizer 2 is implemented, a moving contact 4m of a changeover switch 4 is thrown to the position of a 1st fixed contact 4a and a reception signal subject to equalizing processing by the equalizer 2 is fed to a poststage circuit. When the delay dispersion discrimination circuit 3 discriminates it that a signal without delay dispersion obtained at an output terminal is received, the equalization processing at the equalizer 2 is stopped, the moving contact 4m of the changeover switch 4 is thrown to the position of a 2nd fixed contact 4b and a reception signal not subject to equalizing processing is fed to the poststage circuit. Then the reception data obtained at the moving contact 4m of the changeover switch 4 are fed to a DQPSK demodulation circuit 5, in which the reception data subject to .pi./4 shift DQPSK modulation is demodulated.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-276059

(43)公開日 平成 5 年(1993)10月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 1/10	M	9298-5K		
3/06	A	8226-5K		
H 0 4 L 27/01				
27/22	Z	9297-5K		
		9297-5K	H 0 4 L 27/ 00	K
審査請求 未請求 請求項の数 1 (全 5 頁)				

(21)出願番号 特願平4-66300

(22)出願日 平成 4 年(1992) 3 月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 名取 誠

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

(72)発明者 鈴木 三博

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

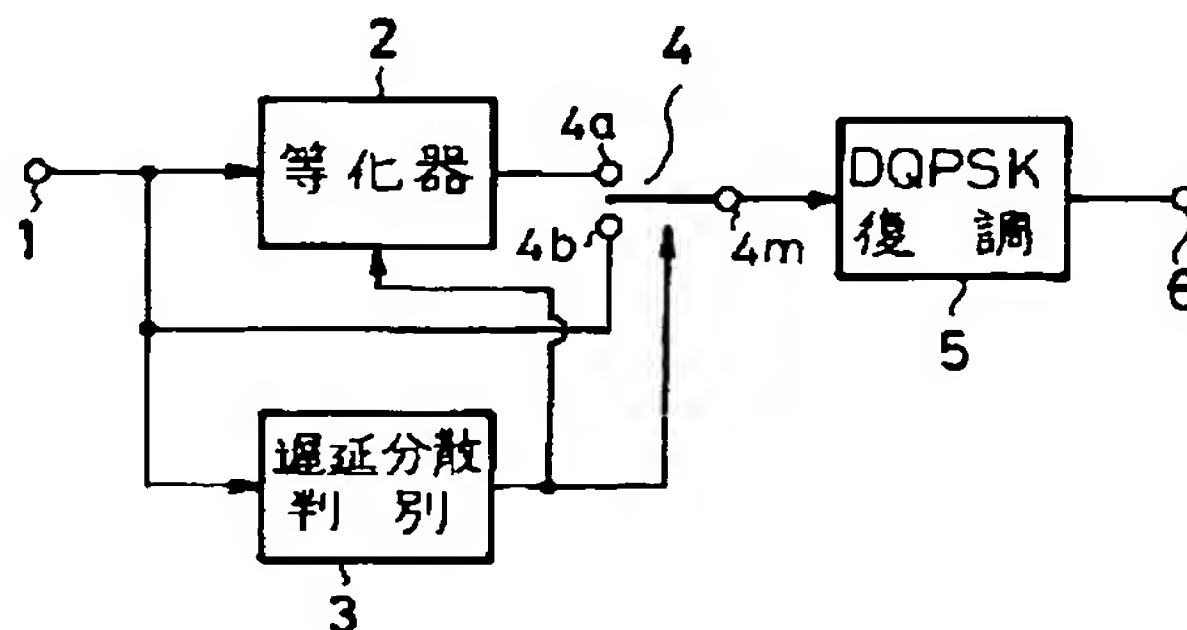
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 受信装置

(57)【要約】

【目的】 $\pi/4$ シフトDQPSK変調されたデータなどの位相変調された受信データに遅延分散がある場合とない場合の何れの状態でも、良好に受信データを復調できるようにする。

【構成】 $\pi/4$ シフトDQPSK変調されたデータなどの位相変調されたデータを受信する受信装置において、受信データを等化する等化器2と、受信データの遅延分散を判別する判別回路3とを設け、判別回路3での判別結果により、等化器2での等化を制御するようにした。



－実施例の構成

【特許請求の範囲】

【請求項1】 位相変調されたデジタルデータを受信する受信装置において、
受信データを等化する等化器と、上記受信データの遅延分散を判別する判別回路とを設け、
上記判別回路での判別結果により、上記等化器での等化を制御するようにした受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、移動体で受信するのに適した受信装置に関し、特に $\pi/4$ シフトDQPSK変調などの位相変調されたデジタルデータの受信を行う受信装置に関する。

【0002】

【従来の技術】自動車電話システム等の移動体との通信システムにおいて、セルラ方式と称されるものが実用化されている。このセルラ方式は、通信可能エリアを複数のセルに分割し、それぞれのセル毎に基地局（固定局）を設け、この基地局とセル内の移動体との通信を行うようにしたものである。この場合、各移動体側と基地局との間での通信を、 $\pi/4$ シフトDQPSK変調（ $\pi/4$ シフト・Differential・QPSK変調）されたデジタルデータで行うものが提案されている。

【0003】この $\pi/4$ シフトDQPSK変調は、微分された2系列のデータを、複素演算により位相情報とし、この位相情報を合成して変調信号とするもので、効率の良いデジタルデータの伝送ができる。

【0004】

【発明が解決しようとする課題】ところで、このような $\pi/4$ シフトDQPSK変調されたデータを受信する受信装置側では、この $\pi/4$ シフトDQPSK変調されたデータの復調をする前に、等化器で等化処理をした方が、良好な受信ができる場合がある。即ち、無線伝送されたデータの受信状態が悪く、遅延分散（マルチパス）による受信データの干渉がある場合には、等化器で等化処理をした方が良好にデータの復調ができる。

【0005】ところが、遅延分散がない状態で受信したデータに対して、等化器で等化処理をすると、 $\pi/4$ シフトDQPSK変調されたデータの復調処理で、逆にビット誤り率が増加してしまう。これは、等化器に帰還回路が存在するため、1つの誤りが後のデータを誤らせてしまうためである。

【0006】本発明の目的は、この種の受信装置において、受信データに遅延分散がある場合とない場合の何れの状態でも、良好にデータを復調できるようにすることにある。

【0007】

【課題を解決するための手段】本発明は、例えば図1に示すように、位相変調されたデジタルデータを受信する受信装置において、受信データを等化する等化器2と、

受信データの遅延分散を判別する判別回路3とを設け、判別回路3での判別結果により、等化器2での等化を制御するようにしたものである。

【0008】

【作用】このようにしたこと、受信状態に応じた適切な等化処理が行われ、受信データの遅延分散の有無に係わらず、良好なビット誤り率の復調ができる。

【0009】

【実施例】以下、本発明の一実施例を添付図面を参照して説明する。

【0010】図1は本例の受信装置の構成を示す図で、この図1では受信データを復調するまでの構成を示している。図1において、1は受信データ入力端子を示し、この入力端子1には所定周波数に変調されて伝送された受信信号をベースバンドに復調した受信データが得られる。ここで、本例の受信装置で受信するデータは、 $\pi/4$ シフトDQPSK変調されたデータで、この変調データをTDMA方式により時分割多重で伝送される方式としてある。そして、この入力端子1に得られる $\pi/4$ シフトDQPSK変調された受信データを、等化器2と遅延分散判別回路3に供給する。そして、等化器2で等化処理された受信データを切換スイッチ4の第1の固定接点4aに供給する。また、入力端子1に得られる受信データを、直接切換スイッチ4の第2の固定接点4bに供給する。

【0011】そして、遅延分散判別回路3では、供給される受信データの遅延分散状態（即ちマルチパス状態）の判別を行い、遅延分散がある状態と無い状態とを判別する。ここで、この遅延分散判別回路3の構成を図2に示すと、 $\pi/4$ シフトDQPSK変調された受信データとして、IチャンネルデータとQチャンネルデータとの2チャンネルのデータが得られ、このIチャンネルデータ及びQチャンネルデータを、入力端子11I及び11Qを介してアナログ/デジタル変換器12に供給する。そして、このアナログ/デジタル変換器12でそれぞれのチャンネルのデータを2値データとする。この場合、クロック発生回路13からアナログ/デジタル変換器12に供給されるクロックに同期して、n倍にオーバーサンプリングされた2値データに変換する。

【0012】そして、アナログ/デジタル変換器12が出力するそれぞれのチャンネルの2値データを、接続スイッチ14I及び14Qを介して遅延回路15aに供給する。ここで、接続スイッチ14I及び14Qは、クロック発生回路13からのクロックに同期して接続が制御され、受信データの同期ワードのデータが含まれる箇所の近傍だけを遅延回路15a側に供給する制御が行われる。

【0013】そして、遅延回路15aの後段には、同様な遅延回路15b、15c……15iが直列に接続され、各遅延回路15a、15b……15iで順次遅延す

る。ここで、各遅延回路15a~15iは、それぞれの遅延時間を〔同期ワードのデータ長〕 $\times n/2$ とした複素遅延回路とされる。そして、それぞれの遅延回路15a~15iで遅延されたデータを、乗算器16a, 16b...16iに供給する。

【0014】一方、この遅延分散判別回路3は、同期データ発生回路21を備え、この同期データ発生回路21が出力する同期ワードのデータをDQPSK変調回路22に供給し、 $\pi/4$ シフトDQPSK変調されたデータにする。そして、この $\pi/4$ シフトDQPSK変調された同期ワードのデータを、オーバーサンプリング回路23に供給し、 n 倍にオーバーサンプリングさせる。そして、このオーバーサンプリングされたデータを、複素バッファ24に供給し一旦記憶させる。そして、この複素バッファ24に記憶された同期ワードのオーバーサンプリングデータを、上述した各乗算器16a, 16b...16iに供給し、各遅延回路15a~15iの遅延出力データとの乗算を行う。そして、それぞれの乗算器16a~16iでの乗算値を相関係数とし、この相関係数を混合器17を介して相関係数バッファ18に供給する。そして、この相関係数バッファ18に記憶された相関係数を一定期間毎に判別回路19に供給し、それぞれの相関係数より遅延分散の有無を判別する。そして、この遅延分散の有無の判別データを出力端子20に供給する。

【0015】そして、この出力端子20に得られる遅延分散判別回路3での遅延分散の有無の判別データにより、等化器2での等化処理と切換スイッチ4の切換えを制御する。即ち、遅延分散がある信号を受信している状態であると判別したときには、等化器2での等化処理を行わせると共に、切換スイッチ4の可動接点4mを第1の固定接点4aと接続させ、等化器2で等化処理された受信信号を後段の回路に供給する。また、遅延分散がない信号を受信している状態であると判別したときには、等化器2での等化処理を停止させると共に、切換スイッチ4の可動接点4mを第2の固定接点4bと接続させ、等化処理されない受信信号を後段の回路に供給する。

【0016】そして、切換スイッチ4の可動接点4mに得られる受信データを、DQPSK復調回路5に供給し、 $\pi/4$ シフトDQPSK変調された受信データを復調する。ここで、このDQPSK復調回路5の構成を図3に示すと、入力端子31I及び31Qに得られるIチャンネルの受信データ及びQチャンネルの受信データを、それぞれ直接遅延検波回路32に供給すると共に、遅延回路33I及び33Qを介して遅延検波回路32に供給する。そして、この遅延検波回路32で直接供給されるデータと遅延データとより検波を行い、それぞれのチャンネルの検波されたデータを量子化回路34I及び34Qに供給して量子化し、量子化値をパラレル/シリアル変換回路35に供給してシリアルデータとし、このシリアルデータを復調された受信データとして出力端子

6に供給する。

【0017】そして、この出力端子6に得られる受信データを、チャンネルデコーダ（図示せず）に供給し、誤り訂正や並び替えなどのデータ処理を行い、元のデータを復元する。

【0018】本例の受信装置によると、上述した受信処理が行われることで良好なデータが受信できる。即ち、DQPSK復調回路5に供給される受信データを、遅延分散判別回路3での遅延分散の有無の判別結果に基づいて、等化器2で等化処理されたデータと等化処理されていないデータとに切換えるようにしたことで、受信状態に応じた最適な受信データがDQPSK復調回路5に供給され、遅延分散の有無にかかわらず最もビット誤り率の低いデータが受信データとして得られる。例えば、遅延分散がある状態の信号を受信したときには、等化器2で等化処理されたデータがDQPSK復調回路5に供給されるので、等化処理によりビット誤り率が低くなり、ビット誤り率の低い良好な受信が行われる。また、遅延分散がない状態の信号を受信したときには、等化処理されないデータがDQPSK復調回路5に供給されるので、等化処理によるビット誤り率の増加がなく、ビット誤り率の低い良好な受信が行われる。

【0019】なお、本例においては遅延分散がない状態の信号を受信したとき、単にスイッチ4の切換えで等化処理されないデータを選択するだけでなく、等化器2の動作を停止させるようにしたことで、遅延分散がない状態ではそれだけ無駄な等化処理が行われず、それだけ受信装置の電力消費が少なくなる。このことは、例えば受信装置をバッテリー駆動させている場合に、バッテリーの持続時間を長くすることに貢献する。

【0020】また、本例においては遅延分散の判別を同期ワードのデータに基づいて行うようにしたため、簡単な構成で正確な遅延分散の状態を検出することができる。

【0021】なお、上述実施例においては、遅延分散の有無の判別により、等化処理を行う場合と行わない場合を切換えるだけとしたが、遅延分散の状態を詳しく判別して、遅延分散の発生状況に応じて等化器2での等化処理状態を変化させるようにしても良い。このようにすることで、受信データのビット誤り率をより低減させることが可能になる。

【0022】また、上述実施例においては、 $\pi/4$ シフトDQPSK変調されたデジタルデータを受信する受信装置に適用したが、他の位相変調されたデジタルデータを受信する受信装置にも適用できる。

【0023】

【発明の効果】本発明によると、受信状態に応じた適切な等化処理が行われ、 $\pi/4$ シフトDQPSK変調などの位相変調された受信データの遅延分散の有無に係わらず、良好なビット誤り率の復調ができ、受信データの遅

延分散状態が変化しても良好な受信が可能で、例えば移動体通信のように受信状態が逐次変化する受信装置に好適である。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す構成図である。

【図2】 一実施例の要部を示す構成図である。

【図3】 一実施例の復調回路の構成図である。

* 【符号の説明】

1 受信データ入力端子

2 等化器

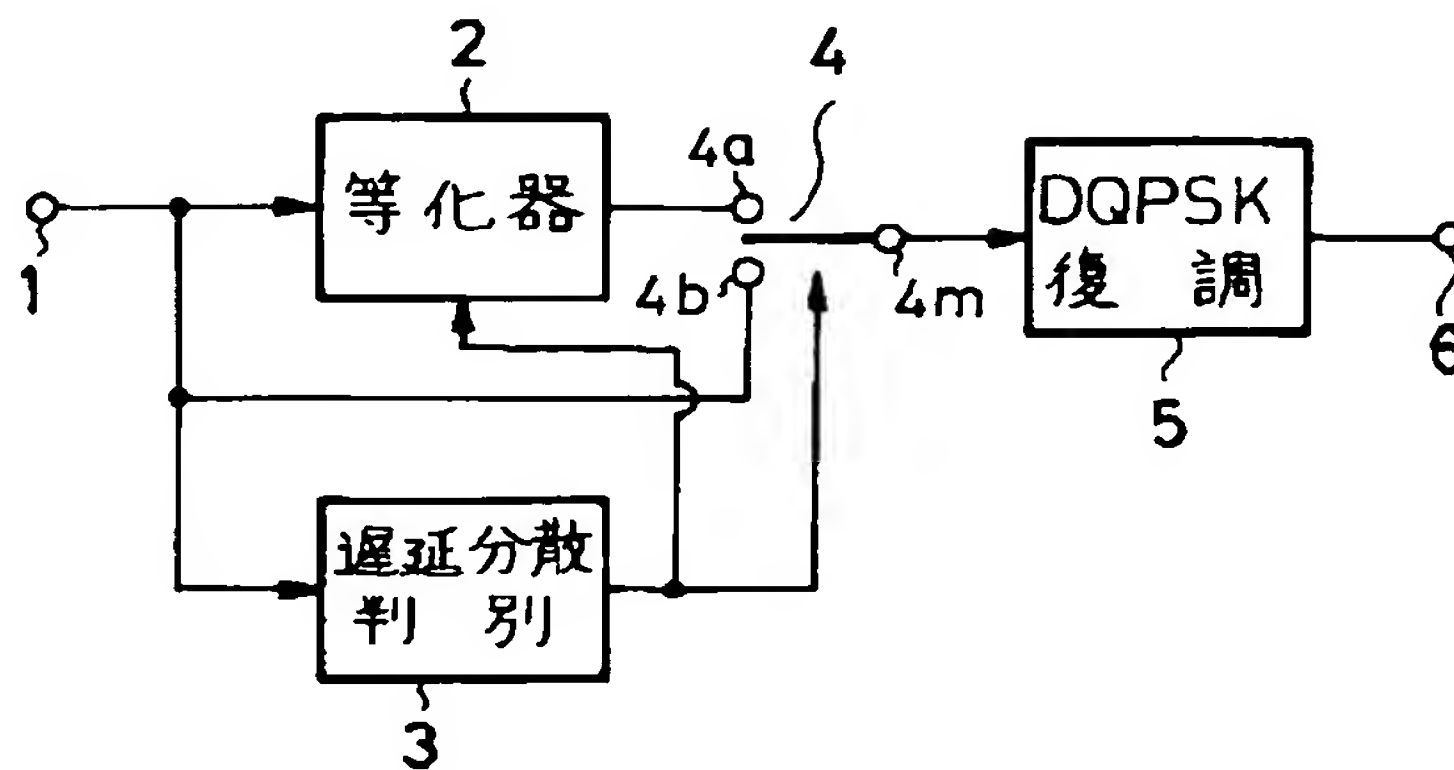
3 遅延分散判別回路

4 切換スイッチ

5 DQPSK復調回路

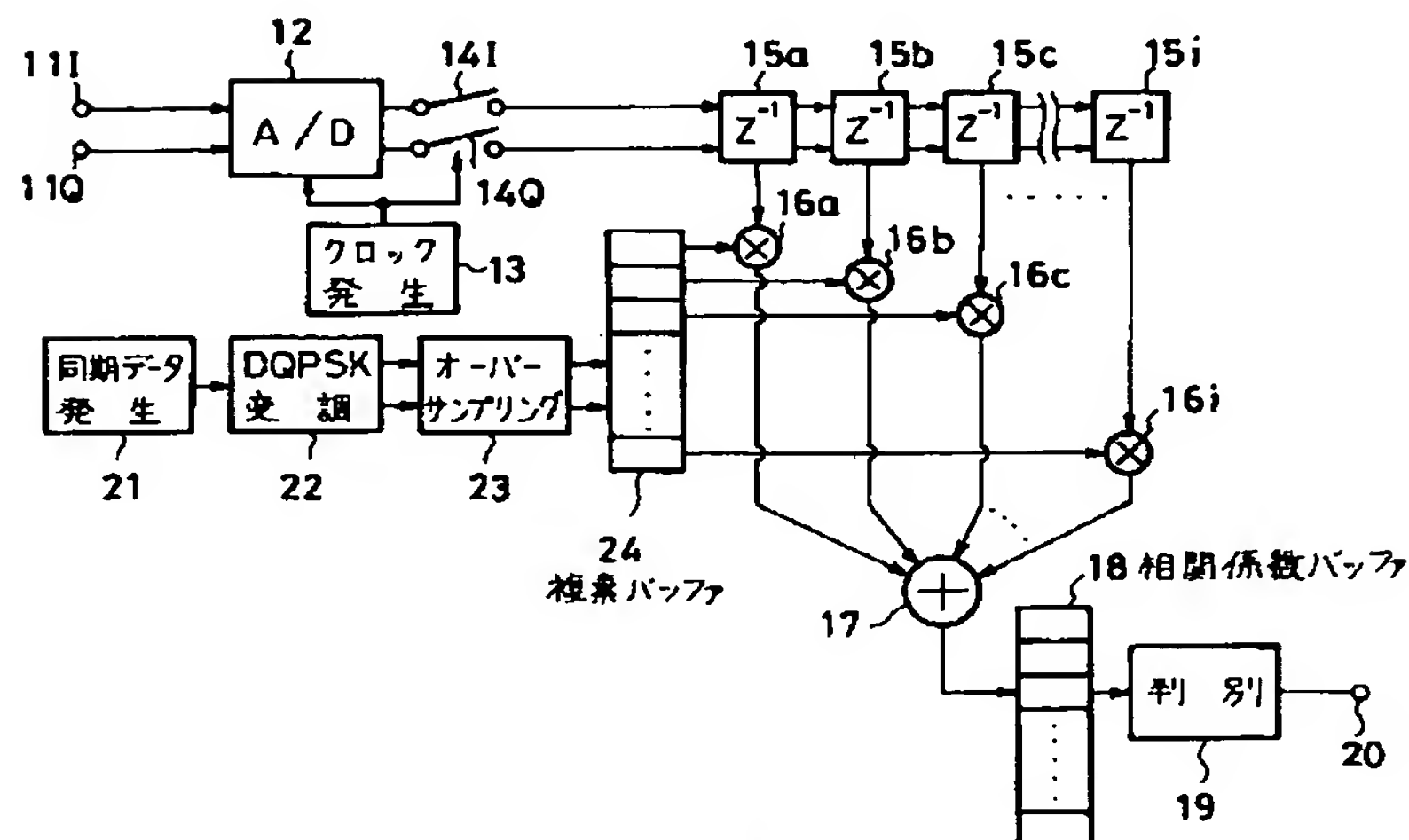
*

【図1】



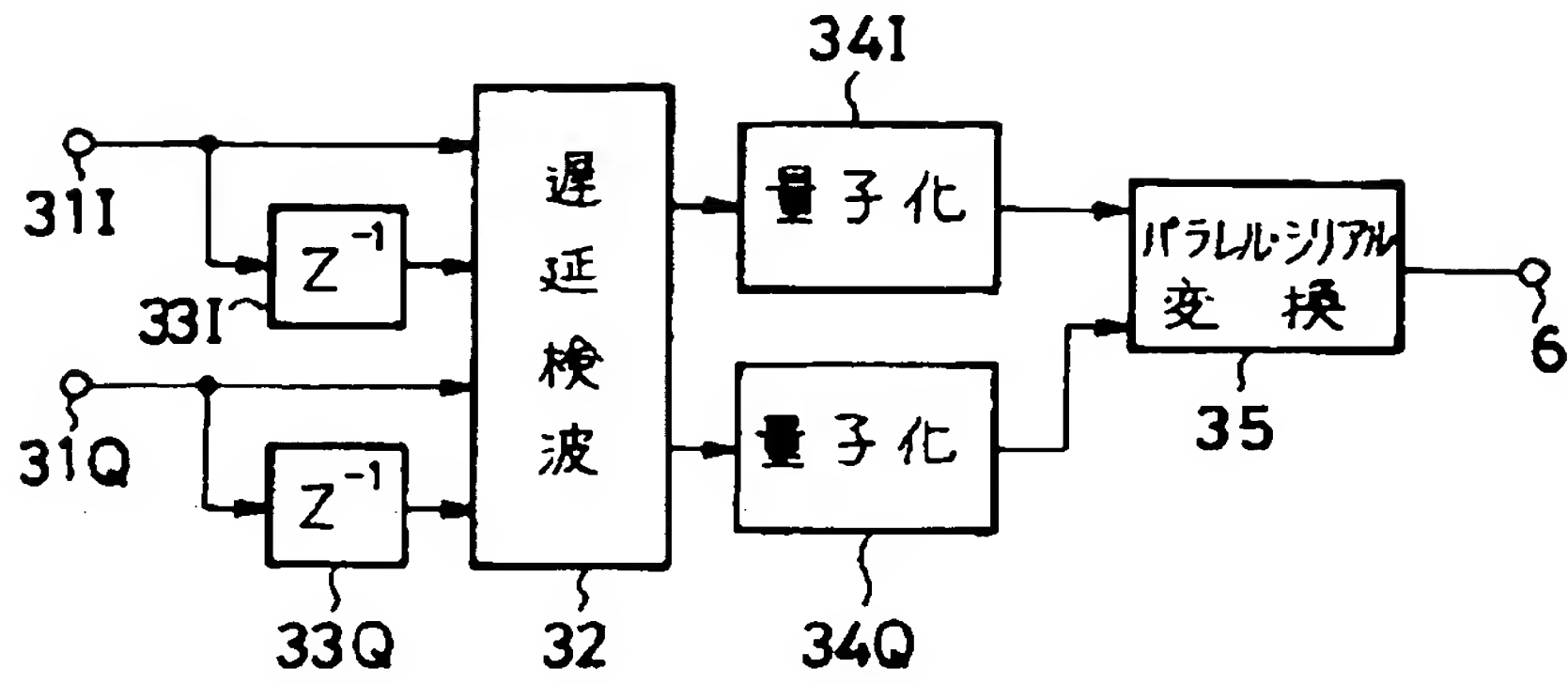
一実施例の構成

【図2】



遅延分散判別回路の構成

【図3】



DQPSK 復調回路の構成